

**WEST****End of Result Set**

Generate Collection

Print

L1: Entry 1 of 1

File: JPAB

Mar 10, 1995

PUB-NO: JP407066419A

DOCUMENT-IDENTIFIER: JP 07066419 A

TITLE: LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: March 10, 1995

## INVENTOR-INFORMATION:

NAME

COUNTRY

MATSUO, SHIGEKI

MIYAZAKI, YOSHIO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

KYOCERA CORP

APPL-NO: JP05213763

APPL-DATE: August 30, 1993

INT-CL (IPC): H01 L 29/786; G02 F 1/136

## ABSTRACT:

PURPOSE: To reduce the generation of parasitic capacitance, and prevent the generation of flicker and the sticking of a fixed picture image, by forming a semiconductor layer on the scanning signal wiring of a thin film transistor, and forming the channel part of the thin film transistor in an L-shape.

CONSTITUTION: A scanning signal wiring 1 is formed from aluminum or the like, and serves as the gate electrode of a thin film transistor. An insulating layer is formed on the scanning signal wiring 1, and acts as an interlayer insulating film between the scanning signal wiring 1 and a picture image signal wiring 2, and as the gate insulating film. On the scanning signal wiring 1, a semiconductor layer 4 is formed on which a source electrode 2a protruding from the picture image signal wiring 2 and a drain electrode 3a protruding from a picture element electrode 3 are formed. The channel part of the thin-film transistor is L-shaped as a whole. Thereby the formation area of a capacitance between the drain and the gate of the thin film transistor which area is shown by full oblique lines is reduced.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66419

(43) 公開日 平成7年(1995)3月10日

(51) Int. Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 H

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21) 出願番号 特願平5-213763

(22) 出願日 平成5年(1993)8月30日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 松尾 茂樹

滋賀県八日市市蛇溝町長谷野1166番地の6  
京セラ株式会社滋賀工場内

(72) 発明者 宮崎 吉雄

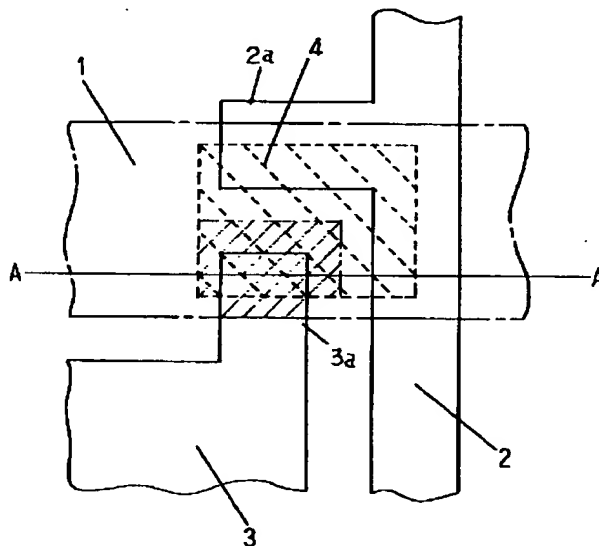
滋賀県八日市市蛇溝町長谷野1166番地の6  
京セラ株式会社滋賀工場内

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【構成】 複数の画像信号配線2と走査信号配線1とを交差して設け、この画像信号配線2と走査信号配線1との各交点に画素電極3とこの画素電極3に画像信号を供給する薄膜トランジスタとをマトリックス状に設けた液晶表示装置において、前記薄膜トランジスタを前記走査信号配線1上に形成すると共に、この薄膜トランジスタのチャンネル部7をL字型に形成した点にある。

【作用】 上記のように、スイッチング用の薄膜トランジスタを走査信号配線1上に形成したことにより、開口率が向上する。また、薄膜トランジスタのチャンネル部7をL字型とすることにより、薄膜トランジスタのゲート・ドレイン間の寄生容量 $C_{gd}$ を小さくすることが可能となり、その結果、明るく、フリッカーや画像焼き付きの発生しない液晶表示装置となる。



1

## 【特許請求の範囲】

【請求項1】 複数の画像信号配線と走査信号配線とを交差して設け、この画像信号配線と走査信号配線との各交点に画素電極とこの画素電極に画像信号を供給する薄膜トランジスタとをマトリックス状に設けた液晶表示装置において、前記薄膜トランジスタを前記走査信号配線上に形成すると共に、この薄膜トランジスタのチャンネル部をL字型に形成したことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、スイッチング素子として薄膜トランジスタを使用したアクティブマトリックス方式の液晶表示装置に関する。

## 【0002】

【従来の技術】アクティブマトリックス方式の液晶表示装置は、単純マトリックス方式と比べて、コントラストが高く、多階調表示特性にすぐれているため、特にカラー液晶表示装置では欠かせない技術となっている。特に、スイッチング素子として薄膜トランジスタを使用したアクティブマトリックス方式の液晶表示装置は、CRTと同等の画質が得られるようになった。

【0003】以下、図面を参照しながら、従来の液晶表示装置を説明する。図3は、従来の液晶表示装置の一画素の拡大図、図4は一画素の等価回路図である。図3および図4において、8は走査信号配線、9は画像信号配線、10は画素電極、11は薄膜トランジスタ、12は対向電極である。また、 $C_s$ は付加容量、 $C_{LC}$ は画素電極10と対向電極12の間の液晶容量、 $C_{gd}$ は薄膜トランジスタ11のゲート・ドレイン間の寄生容量、 $V_{g(n)}$ および $V_{g(n+1)}$ は、 $n$ 番目および $n+1$ 番目の走査信号配線8上の信号電圧、 $V_{s(n-1)}$ および $V_{s(n)}$ は $n-1$ 番目および $n$ 番目の画像信号配線9上の信号電圧、 $V_t$ は対向電極12上の信号電圧、 $V_p$ は画素電極10上の信号電圧である。

【0004】このアクティブマトリックス型液晶表示装置は、走査信号配線8を介して、薄膜トランジスタ11のゲートへ走査信号 $V_g$ が供給されて薄膜トランジスタ11のオン・オフが制御される。画像信号 $V_s$ が画像信号配線9および薄膜トランジスタ11のソース・ドレインを介して画素電極10へ供給される。この画像信号 $V_s$ と対向電極12へ供給される対向電極信号 $V_t$ とを、対向電極12と画素電極10との間に保持された液晶材料へ印加することによって画素の表示を行うものである。

## 【0005】

【発明が解決しようとする課題】図5に走査信号 $V_{g(n)}$ 、 $V_{g(n+1)}$ 、画像信号 $V_{s(n)}$ および画素電極信号 $V_p$ の波形を示す。走査信号 $V_{g(n)}$ は、薄膜トランジスタ11のゲートへ供給される信号であり、薄膜トランジ

2

スがオフする電圧 $V_{GL}$ とから成る。

【0006】画像信号 $V_s$ は、薄膜トランジスタ11を介して、画素電極10へ供給される信号であり、極性が一走査期間(1H)毎に反転する $V_{s+}$ と $V_{s-}$ で構成される。 $V_p$ は画素電極10に実際に印加される電圧である。画素電極10に実際に印加される電圧は、走査信号 $V_g$ が $V_{GH}$ から $V_{GL}$ へ変化する際に、薄膜トランジスタ11のゲート・ドレイン間の寄生容量 $C_{gd}$ によって、電圧が変動する。この電圧の変動 $\Delta V_p$ は下記式で表される。

## 【0007】

$$\Delta V_p = C_{gd} \cdot (V_{GH} - V_{GL}) / (C_{gd} + C_{LC} + C_s)$$
一般に、この電圧変動 $\Delta V_p$ を補正するために、対向電極12へ印加する電圧を可変している。しかし、液晶材料の誘電率異方性(印加電圧により液晶材料の誘電率が変化する性質)により、 $\Delta V_p$ の値が変動してしまい、液晶材料への実効的な直流電圧成分の印加は補償されず、このためフリッカーや固定画像を表示した直後に起こる画像の焼き付きが発生するという問題があった。

【0008】この問題を解決するため、 $\Delta V_p$ の主要原因である薄膜トランジスタ11のゲート・ドレイン間の寄生容量 $C_{gd}$ を極力小さくする努力がなされている。また、液晶表示装置は、CRTに比べて輝度が低く、また携帯での使用の要望が強いため、極力消費電力の低い画面の明るい液晶パネルが望まれている。この問題を解決するため、開口率の大きな液晶パネルを開発する努力がなされている。

【0009】開口率を上げるために、図6に示すように、薄膜トランジスタ16を走査信号配線上に形成することが考えられる。薄膜トランジスタ16を走査信号配線13上に形成した場合の薄膜トランジスタ16周辺部の拡大図を図7に、また図7のA-A'断面図を図8に示す。さらに、他の例を図9に、また図9のA-A'断面図を図10に示す。図7ないし図10において、17、24は走査信号配線兼薄膜トランジスタのゲート電極、18、25は画像信号配線兼薄膜トランジスタのソース電極、19、26は画素電極兼薄膜トランジスタのドレイン電極、20、27は薄膜トランジスタの半導体層、21、28は絶縁層、22、29はガラス基板、23、30は薄膜トランジスタのチャンネル部である。

【0010】一般に、薄膜トランジスタのゲート・ドレイン間の寄生容量 $C_{gd}$ は、ドレイン側からチャンネル幅の1/2の距離までの半導体層の領域で発生することが知られている。すなわち、図7および図9の薄膜トランジスタにおいて、ゲート・ドレイン間の寄生容量 $C_{gd}$ の発生面積は実線の斜線で示した領域となり、大きな面積となっている。このため、単に薄膜トランジスタを走査信号配線17、24上に形成しただけでは、薄膜トランジスタの寄生容量が大きくなって、フリッカーや固定画像

## 【0011】

【課題を解決するための手段】本発明に係る液晶表示装置は、上記欠点に鑑みてなされたものであり、その特徴とするところは、複数の画像信号配線と走査信号配線とを交差して設け、この画像信号配線と走査信号配線との各交点に画素電極とこの画素電極に画像信号を供給する薄膜トランジスタとをマトリックス状に設けた液晶表示装置において、前記薄膜トランジスタを前記走査信号配線上に形成すると共に、この薄膜トランジスタのチャネル部をL字型に形成した点にある。

## 【0012】

【作用】上記のように、スイッチング用トランジスタを走査信号配線上に形成したことにより、開口率が向上する。また、薄膜トランジスタのチャネル部をL字型形状とすることにより、薄膜トランジスタのゲート・ドレイン間の寄生容量 $C_{gd}$ を小さくすることが可能となり、その結果、明るく、フリッカーや画像焼き付きの発生しない液晶表示装置となる。

## 【0013】

【実施例】以下、本発明の実施例を添付図面に基づき詳細に説明する。図1は、本発明に係る液晶表示装置の一実施例を示す薄膜トランジスタ部の拡大図であり、図2は、図1のA-A'線断面図である。ここで、1は走査信号配線、2は画像信号配線、3は画素電極、4は薄膜トランジスタの半導体層、5は絶縁層、6はガラス基板、7は薄膜トランジスタのチャネル部である。

【0014】走査信号配線1は、アルミニウム(A1)などから成り、真空蒸着法などで形成される。この走査信号配線1は、薄膜トランジスタのゲート電極も兼ね \*

\*る。この走査信号配線1上には、絶縁層5が形成される。この絶縁層5は、走査信号配線1と画像信号配線2の層間絶縁層として作用したり、薄膜トランジスタのゲート絶縁膜として作用する。この絶縁層5は、窒化シリコン( $\text{SiN}_x$ )、二酸化シリコン( $\text{SiO}_2$ )などから成り、プラズマCVD法などで形成される。この絶縁層5上には、薄膜トランジスタの半導体層4が形成される。この半導体層4は、アモルファスシリコンなどから成り、例えばプラズマCVD法などで形成される。この半導体層4上には、画素電極3に接続されるドレイン電極3aと画像信号配線2に接続されるソース電極2aが形成される。この画素電極3は、ITOなどの透明導電膜などから成り、スパッタリング法などで形成される。また、画像信号配線2、ソース電極2a、およびドレイン電極3aはアルミニウムなどから成り、真空蒸着法などで形成される。

【0015】本発明に係る液晶表示装置では、走査信号配線1上に半導体層4が形成され、この半導体層4上に画像信号配線2から突出したソース電極2aと画素電極3から突出したドレイン電極3aが形成される。したがって、薄膜トランジスタのチャネル部7は全体としてL字型形状となっている。このため、薄膜トランジスタのゲート・ドレイン間容量 $C_{gd}$ の発生面積は、図1に実線の斜線で示した領域となり、図7および図9の従来の液晶表示装置に比べて小さな面積となっている。最小線幅 $8\mu\text{m}$ 、最小線間隔 $6\mu\text{m}$ として、薄膜トランジスタを設計した場合の薄膜トランジスタのゲート・ドレイン間容量 $C_{gd}$ の比較を行う。

## 【0016】

従来の薄膜トランジスタ      本発明の薄膜トランジスタ

チャネル形状	縦I字型(図7)	横I字型(図9)	L字型
$C_{gd}$ 発生部領域	$114\mu\text{m}^2$	$95\mu\text{m}^2$	$54\mu\text{m}^2$
$C_{gd}$ 容量値	$0.015\text{pF}$	$0.013\text{pF}$	$0.007\text{pF}$

上記値は、ゲート絶縁層の比誘電率を6、膜厚を $0.4\mu\text{m}$ 、薄膜トランジスタのチャネル幅 $W$ を $6\mu\text{m}$ 、チャネル長 $L$ を $18\mu\text{m}$ とした場合である。

【0017】このように、本発明によれば、薄膜トランジスタのチャネル部がL字型形状をしていることにより、トランジスタの能力を決める $W/L$ 比が同一の場合、チャネル部がI字型形状をしてる図7および図9の従来の薄膜トランジスタに比べ、ゲート・ドレイン間の寄生容量を約1/2にすることができる。

## 【0018】

【発明の効果】以上のように、本発明に係る液晶表示装置によれば、スイッチング用の薄膜トランジスタを走査信号配線上に形成すると共に、この薄膜トランジスタのチャネル部をL字型形状としたことから、薄膜トランジスタのゲート・ドレイン間の寄生容量 $C_{gd}$ を小さくでき、このため走査信号による画素電極電圧の変動が小さ

※後に起こる画像の焼き付きを防止できる。また、薄膜トランジスタのチャネル部をL字型形状としたことにより、薄膜トランジスタを走査信号配線上に形成した場合も、薄膜トランジスタのゲート・ドレイン間の寄生容量を小さくでき、高信頼性で開口率の大きい、明るい液晶表示装置が実現できる。

## 【図面の簡単な説明】

【図1】本発明の実施例の画素スイッチング用薄膜トランジスタの拡大図である。

【図2】図1のA-A'線断面図である。

【図3】従来の液晶表示装置の一画素の拡大図である。

【図4】液晶表示装置の一画素の等価回路図である。

【図5】図4の各端子の信号波形である。

【図6】走査信号配線上に画素スイッチング用薄膜トランジスタを形成した場合の一画素拡大図である。

【図7】走査信号配線上に画素スイッチング用薄膜トラ

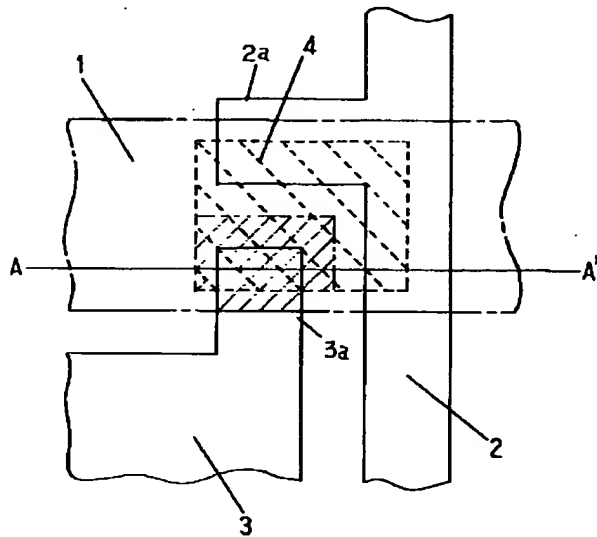
5

ある。

【図8】図7のA-A'線断面図である。

【図9】走査信号配線上に画素スイッチング用薄膜トランジスタを形成した場合の薄膜トランジスタの拡大図である。

【図1】



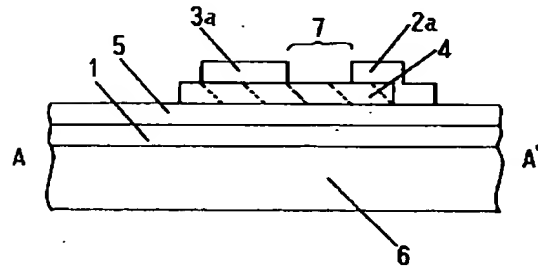
6

【図10】図9のA-A'線断面図である。

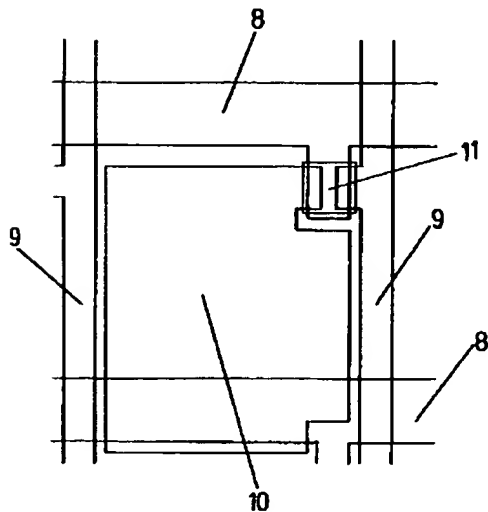
【符号の説明】

1・・・走査信号配線、2・・・画素信号配線、3・・・画素電極、4・・・半導体層、5・・・絶縁層、6・・・ガラス基板、7・・・チャネル部

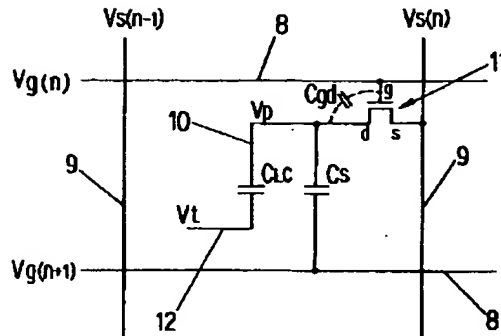
【図2】



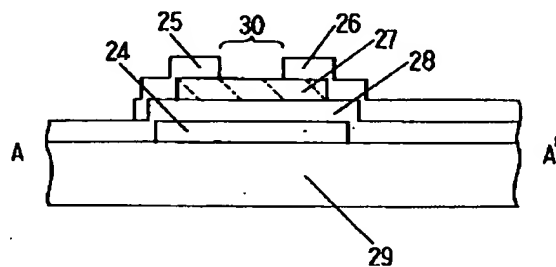
【図3】



【図4】



【図10】



【図8】

